

⑬ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭57-31166

① Int. Cl.³
H 01 L 23/48
21/58

識別記号

庁内整理番号
6819-5 F
6679-5 F

④ 公開 昭和57年(1982)2月19日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ 半導体装置

川崎市中原区上小田中1015番地
富士通株式会社内

① 特 願 昭55-105911
② 出 願 昭55(1980)7月31日
③ 発 明 者 桜井潤治

① 出 願 人 富士通株式会社
川崎市中原区上小田中1015番地
④ 代 理 人 弁理士 松岡宏四郎

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

- (1) 半導体素子が集積されてなる素子集積層が多層に積層され、各層に外部との導通パッドが設けられた多層半導体集積回路チップをパッケージ内に封入した半導体装置において、該パッケージ内の内部パッドが階層状に多層に設けられ、対応する層の前記導通パッドと内部パッドとが外部導体を介して接続されてなることを特徴とする半導体装置。
- (2) 前記外部導体がボンディングワイヤーであることを特徴とする特許請求の範囲第1項記載の半導体装置。
- (3) 前記導通パッドの部分の形状と前記内部パッドの部分の形状とが相対応するよう形成され、前記多層半導体集積回路チップをフュース・ダウン状態でかつ前記外部導体として電極パッドを介して接続してなることを特徴とする特許請求の範囲第1項記載の半導体装置。

求の範囲第1項記載の半導体装置。

3. 発明の詳細な説明

本発明は多層半導体集積回路チップを設けた半導体装置の構造に関する。電子計測機器等は各種通信装置等の電子機器に於ては、半導体装置の実装密度を向上せしめることが機器の小型化大容量化を図る上で極めて重要なことである。

そして上記目的のために大規模集積回路 (LSI) 等の半導体集積回路 (IC) に於て、パッケージ内の素子集積密度を向上せしめる技術として、(1) 複数の LSI チップを 1 (個) の半導体パッケージ内に列設する構造、(2) 1 (チップ) の表面に半導体素子を形成する構造、(3) LSI チップを搭載した半導体パッケージを組み重ねる構造、(4) LSI 上に形成した絶縁層上に半導体層を形成し、レーザ・アニールで該半導体層を単結晶化し、該単結晶半導体層に LSI を形成する構造 (日経エレクトロニクス 2-18 (1980) P 82 参照) 等があるが、(1)~(3) の構造に於ては集積度及び機器に対する実装密度の大幅な向上は期待できず、

又(4)の 造に於ては集積度及び実装密度は大幅に向上するが、各層の回路端子が表出しなないので、各層に形成されているLSIのプロセス機能や回路機能を個々に検査することが困難であるという問題があった。

本発明は上記問題点に鑑み、集積回路(IC)チップを積層し、パッケージ寸法の拡大することとを極力抑え且つパッケージ当りのICの集積度を大幅に向上せしめ、更にICチップ毎のプロセス機能及び回路機能を個々に測定することが可能な構造を有する多層半導体集積回路チップをパッケージ内に封入してなる半導体装置を提供する。

即ち本発明は半導体素子が集積されてなる素子集積層が多層に積層され、各層に外部との導通パッドが設けられた多層半導体集積回路チップをパッケージ内に封入した半導体装置において、該パッケージ内の内部パッドが階段状に多層に設けられ、対応する層の前記導通のパッドと内部パッドとが外部導体を介して接続されてなることを特徴とする。

パッド2a、2b、2c或るいは2dが形成されており、各層チップの大きさは、上層のチップを載せた際に下層チップのボンディング・パッドが上層チップの周辺部(外側)に表出するように、上層チップになるに従って順次小さく形成される。(図中9は表面保護絶縁膜を表わす)

そしてこれら半導体ICチップを積層固着する際の接着層3はシリコン樹脂、エポキシ樹脂或るいはポリ・イミド等の絶縁性樹脂、銀ペースト等の導電性接着剤或るいは金-銀(Au-Sn)等の合金からなるろう材により形成される。なお上記の中、ろう材を用いて接着を行う際には下層の半導体ICチップの表面保護絶縁膜9上に予めAu等からなるメタライズ層を形成しておく必要があり、又導電性接着剤或るいはろう材を用いて接着する構造に於ては、下層チップの表面保護絶縁膜9に於ける周縁部以外の所望の場所にコンタクト窓を形成し、前記導電性接着剤或るいはろう材を介して上層チップの所望の領域と縦方向に電気的接続を行う際に有利である。

以下本発明を第1図及び第2図に示すチップ積層造に於ける二つの実施例の上面図(a)及びA-A'矢視断面図(b)、第3図及び第4図に示すパッケージへのチップ実装構造に於ける二つの実施例の断面模式図を用いて詳細に説明する。

本実施例の多層半導体ICに使用する各素子集積層としての半導体ICチップは、通常行われる例えばMIS型ICの製造工程に従って、ゲート酸化膜、ゲート電極、ソース・ドレイン領域、配線等の形成が完了せしめられ、配線のための導通用パッドであるボンディング・パッド部のみを残して上面が珪酸ガラス(PSG)等の表面保護絶縁膜で覆われてなっている。なお上記ボンディング・パッド部にはバンプ状電極が形成される場合もある。

そして例えば第1図(a)及び(b)に示すような多層半導体ICチップの積層構造に於ては、第1層の半導体ICチップ1a、第2層のチップ1b、第3層のチップ1c及び第4層のチップ1dの4[辺]に沿った周縁部に導通所望数のボンディング・パ

又第2図(a)及び(b)は同じチップ・サイズの半導体ICチップを積層する際の構造を表わす別の一実施例で、この場合は各層半導体ICチップ例えば1a、1b、1c及び1dのボンディング・パッド2a、2b、2c及び2dは該チップに於ける隅り合った2(辺)に沿う縁部のみに形成される。そしてチップを積層する際に用いる接着層3としては前記同様絶縁性樹脂、導電性接着剤或るいはろう材が使用される。(図中9は表面保護絶縁膜を表わす)

本実施例の半導体装置は上記のような多層半導体集積回路チップを半導体パッケージ内に配設した構造を有しており、その一実施例に於ては第3図の断面模式図に示すように、半導体パッケージ4のチップ・ステージ5上に前記のように半導体ICチップ1a、1b、1c及び1dが順次積層された多層半導体集積回路チップが、前記同様絶縁性樹脂、導電性接着剤或るいはろう材等からなる接着層3により固着されており、上記チップの所望のボンディング・パッド(通常は全てのボン

ディング・パッドである) 2 a, 2 b 及び 2 c と多層に形成された半導体パッケージ 4 の内部パッド 6 a, 6 b 或るいは 6 c とがワイヤ・ボンディング等の方法により外部導体であるワイヤ 7 で接続されている。(図中 9 は表面保護絶縁膜を表わす)

そして本実施例に於ては最上層のチップ 1 d の所望のボンディング・パッド 2 d とその下層のチップ 1 c の所望のボンディング・パッド 2 c とはワイヤ・ボンディングにより外部導体 7' で接続された構造を有しており、各チップに形成された回路を共通の電源に接続する際等にはこのような外部導体接続が行われる。なお該構造に於て半導体パッケージ 4 の内部パッド 6 a, 6 b 及び 6 c はそれぞれ対応する多層半導体集積回路チップ 1 a, 1 b 及び 1 c のボンディング・パッド 2 a, 2 b 或るいは 2 c とほぼ等しい高さに形成されることが望ましい。

又第 4 図は多層半導体集積回路チップをフェース・ダウン構造で半導体パッケージに搭載する本

~~に内に半導体 I C チップが積層固定されてき~~
 パッケージ法の拡大を極めて小さく抑えながらパッケージ当りの回路密度(集積度)を大幅に向上せしめることができると同時に、各半導体 I C チップのボンディング・パッド部或るいはそれに接続する内部配線が個々にパッケージ内に引出された構造を有するので、該多層半導体 I C の組み立てに際してチップ毎にプロセス機能及び回路機能を検出することができ製造歩留まりの向上が図れる。

さらに本発明の半導体装置のパッケージの内部パッドの部分の構造が多層半導体集積回路チップの導通パッドの部分の構造とほぼ対応するように形成されているので前記チップの実装が容易に行なえる。

又本発明の第 1 の実施例の構造に於ては、各半導体集積層のボンディング・パッドが引出しており前述のように異層チップのボンディング・パッド間を外部導体で接続することが可能である。従って該構造の半導体装置の多層チップに於ては、必

発明の半導体装置に於ける一実施例の断面模式図で、本実施例に於てはボンディング・パッド 2 a, 2 b, 2 c 部に鉛-錫(Pb-Sn)半田等からなるパンプ電極 8 a, 8 b, 8 c を有する半導体 I C チップ 1 a, 1 b, 1 c を前述のように積層形成せしめた多層半導体集積回路チップを、該チップの上面を下に向け、半導体パッケージ 4 に多層に形成された内部パッド 6 c, 6 b, 6 a 上に、前記パンプ電極 8 a, 8 b, 8 c によりろう着固定し、該パンプ電極 8 a, 8 b, 8 c を外部導体として介して各層半導体 I C チップ 1 a, 1 b, 1 c のボンディング・パッド部とパッケージの内部配線とをそれぞれ電気的に接続した構造を有している。(図中 9 は表面保護絶縁膜を表わす)

なお該構造に於ては各層の半導体 I C チップの厚さと半導体パッケージの内部配線の層間間隔はほぼ等しくする必要がある。

以上説明したように本発明の構造を有する半導体装置に於ては、半導体パッケージ内に半導体 I C チップが積層固定されているので、

ずしも一枚のチップで回路機能を完成せしめる必要はなく、複数枚のチップにまたがって回路機能を形成することができる。

従って本発明によれば多層半導体 I C の製造歩留まりが向上すると同時に、電子計算機或るいは電子通信装置等の電子機器の小型化、大容量化が図れる。

4. 図面の簡単な説明

第 1 図及び第 2 図は本発明の多層半導体集積回路に於けるチップ積層構造の二つの実施例を示し(a)はその上面図、(b)はその A-A' 矢視断面図である。又第 3 図及び第 4 図は本発明に於けるパッケージへのチップ実装構造の二つの実施例の断面模式図である。

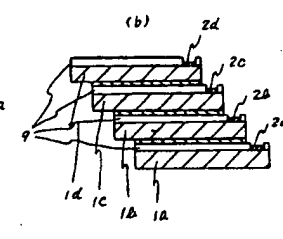
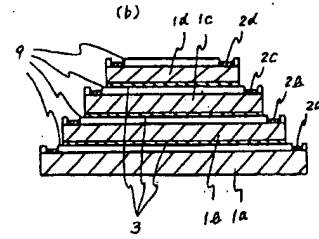
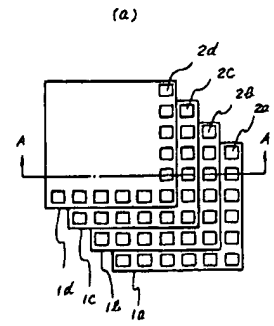
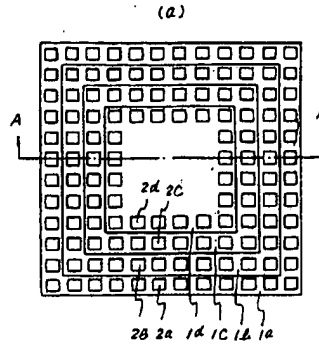
図に於て 1 a と 1 b と 1 c と 1 d は素子集積層である半導体集積回路チップ、2 a と 2 b と 2 c と 2 d はボンディング・パッド、3 は接層部、4 は半導体パッケージ、5 はチップ・ステージ、6 a と 6 b と 6 c はパッケージの内部パッド、7 及び 7' は外部導体、8 a と 8 b と 8 c はパンプ電極

9 は表面保護絶縁膜を示す。

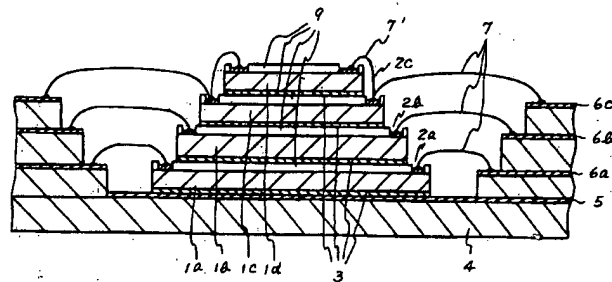
第 1 図

第 2 図

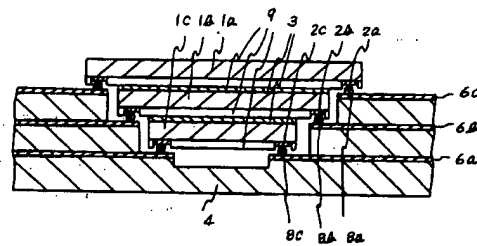
代理人 弁理士 松岡 宏四郎



第 3 図



第 4 図



PAT-NO: JP357031166A
DOCUMENT-IDENTIFIER: JP 57031166 A
TITLE: SEMICONDUCTOR DEVICE
PUBN-DATE: February 19, 1982

INVENTOR-INFORMATION:
NAME
SAKURAI, JUNJI

ASSIGNEE-INFORMATION:
NAME COUNTRY
FUJITSU LTD N/A

APPL-NO: JP55105911
APPL-DATE: July 31, 1980

INT-CL (IPC): H01L023/48, H01L021/58
US-CL-CURRENT: 257/686, 257/724 , 257/777 , 257/E25.018

ABSTRACT:

PURPOSE: To provide a compact and high capacity semiconductor device, by a method wherein IC chips laminated into multilayer are housed in a package which has inner pads placed in a shape of steps and the inner pads are connected to the corresponding outer conducting pads of the chips.

CONSTITUTION: IC chips 1a∼1d are piled and fixed with adhesive material 3 such as insulating resin, conductive resin or soldering material on the stage 5 of a package 4. The required connecting pads 2a, 2b, 2c of the chips and inner pads 6a, 6b, 6c of the multilayer constructed package

4 are connected
with wires 7. The surface of each chips is protected by an
insulating film 9.
The required connecting pad 2d of the chip 1d at the top
stage and the required
pad 2c of the chip 1c of the lower stage are connected with
a wire 7'. The
inner pads 6a~6c of the package and corresponding pads
2a~2c of the
multilayer IC chips 1a~1d are to be placed on almost a
same level. Thus
the yield of the multilayer IC production is improved and
the compact and high
capacity devices are provided.

COPYRIGHT: (C)1982,JPO&Japio